

第2讲--课程设计平台介绍

李峰

fli@sdu.edu.cn

<https://funglee.github.io>

- 实现实验电路的方法主要分为两类:
 - 一类是使用通用数字集成电路芯片，通过插接导线构成数字逻辑实验电路
 - 另一类是使用现场可编程逻辑阵列（FPGA），通过EDA设计技术，设计和下载电路实现数字逻辑实验电路
 - 该课程设计采用第二类设计方法。

电子设计自动化技术（EDA）和可编程逻辑器件（PLD）简介

- 在现代数字系统设计中,可编程逻辑器件（PLD）的使用越来越广,掌握PLD与EDA技术是从事电子系统设计、计算机硬件开发和研究人员的必备技能,也是电子技术、计算机类专业学生学习的重要内容

EDA技术及其发展过程

- EDA (Electronic Design Automation) 是电子设计自动化的英文缩写。它是指以计算机为工具，在EDA软件平台上，根据设计者描述的源文件（可以是原理图文件、语言文件或波形图文件），自动完成系统的设计，包括编译、仿真、综合、优化、布局布线以及对特定器件的适配。设计者的任务仅限于利用软件的方式来完成对系统硬件功能的描述。
- 典型的EDA工具应包括二大部分：综合器和适配器。
 - 综合器的功能就是将设计者在EDA平台上完成的某系统的设计文件转换成该系统的门级电路描述（硬件电路）。显然，综合器是软件描述和硬件实现的一座桥梁
 - 适配器的功能是将综合器产生的网表文件安排在指定的器件中，产生最终的下载文件。

- EDA技术的发展大致可分为三个阶段：
 - 第一代：大约在20世纪70年代，EDA工具的供应商只有几家，产品主要面向PCB布线设计，如Tango软件等。该时期的EDA一般称为CAD（计算机辅助设计）。
 - 第二代：大约在20世纪80年代，当时，Mentor公司、Daisy System公司及Logic System公司进入EDA市场，开始提供带有电路图编辑工具和逻辑模拟工具的EDA软件，主要用于电路设计没有完成之前的功能检验问题，一般是以数字电路的分析和测试工具为代表。该时期的EDA一般称为CAE（计算机辅助工程）。
 - 第三代：20世纪90年代以后，这时的EDA工具以逻辑综合、硬件行为仿真、参数分析和测试为重点。设计工具门类齐全，能够提供系统设计需要的全部工具，如描述设计输入意图的设计输入工具（电路图、语言和波形图输入）、具有逻辑综合和设计优化能力的设计工具及验证、评估性能的仿真工具等。
- EDA技术的应用主要依赖两个方面，一是最终电路的实现，即实现设计所用的器件；二是设计的输入方式

HDL简介

- HDL（Hardware Description Language）是硬件描述语言的英文缩写，是用于设计硬件电子系统的计算机语言。它描述系统的逻辑功能、电路结构和连接方式，是EDA技术应用中最主要的设计输入方法之一
- 现在常用的HDL主要有三种：ABEL- HDL、VHDL和Verilog-HDL。
 - ABEL- HDL的特点是格式简洁、易学、易用，编译要求宽松，比较适合初学者使用。
 - VHDL和Verilog-HDL主要用于描述数字系统的结构、行为、功能和接口，与ABEL- HDL相比，具有更强的行为描述能力，一般用于大的和复杂的数字系统的描述。

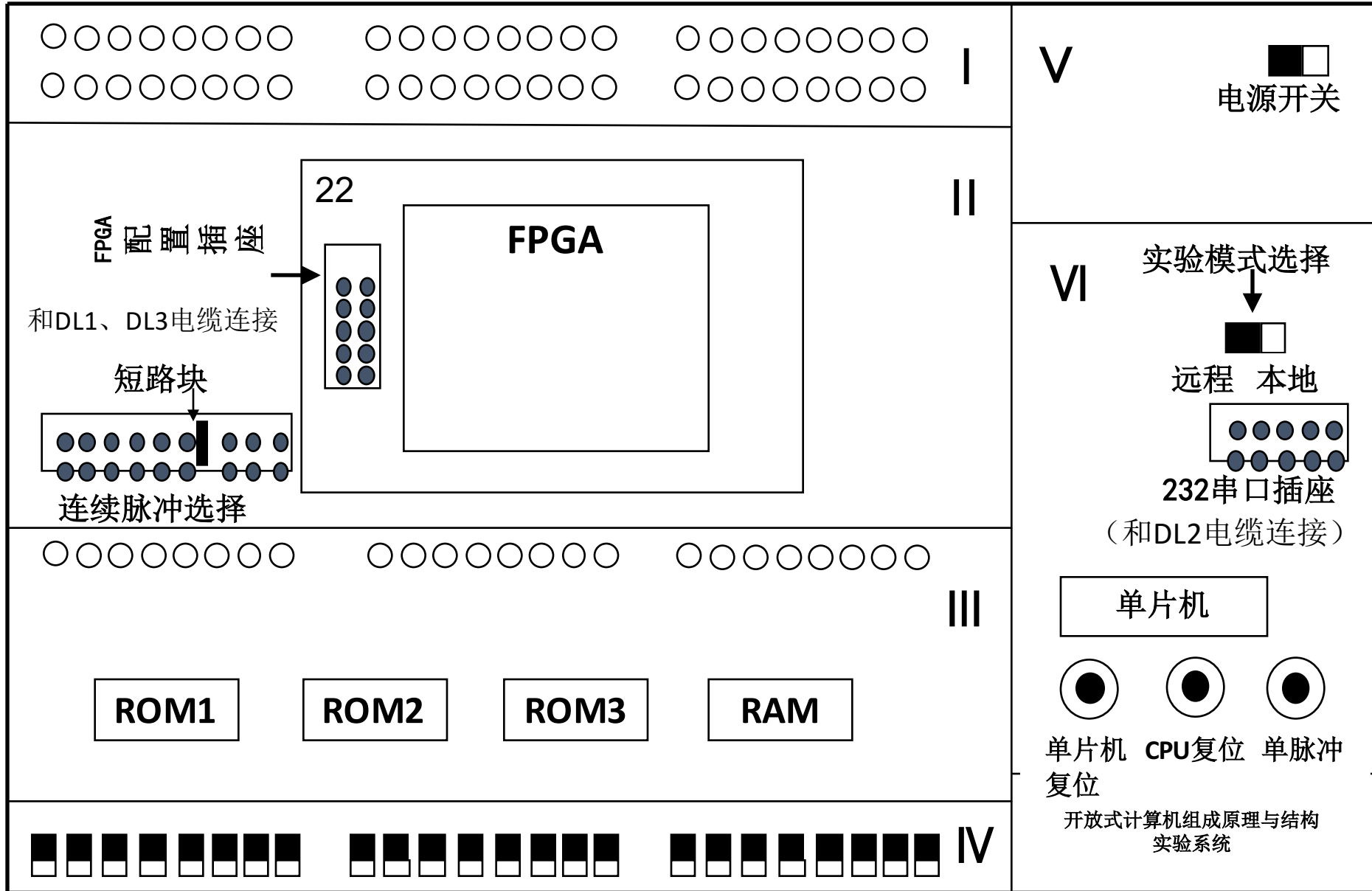
可编程逻辑器件的发展过程

- 可编程逻辑器件简称PLD (Programable Logic Device)，它是EDA技术应用的另一个重要支持点，PLD的发展推动了EDA工具的发展，也改变了电子系统的设计方法
- PLD的分类
 - 按集成度分类
 - 低密度可编程逻辑器件（LPLD或SPLD）：主要包括PROM、PLA、PAL、GAL 等几种类型，它们的主要特点是规模小、功能弱、价格低
 - 高密度可编程逻辑器件（HPLD）：主要包括复杂可编程逻辑器件（CPLD）和现场可编程门阵列（FPGA）。CPLD采用的是与或阵列型的结构，其特点是具有丰富的组合逻辑资源、时延固定的集中布线方式、工作速度高。而FPGA采用的是单元型的结构，其特点是含有较多的触发器、快速的局部互连和很高的集成度
 - 按变成模式分类
 - 掩膜编程: 用户提供编程逻辑，由厂家进行编程，编程后不可改写。
 - 一次性编程（PROM）：用户可编程但仅可以编程一次，一旦编程出错，芯片将报废。
 - 电写光擦除（EPROM）：用紫外线擦除后，用户可重复编程。
 - 电写电擦除（EEPROM）：电擦除，可以省去紫外线擦除器，使用方便，用户不仅可重复编程而且编程速度高。

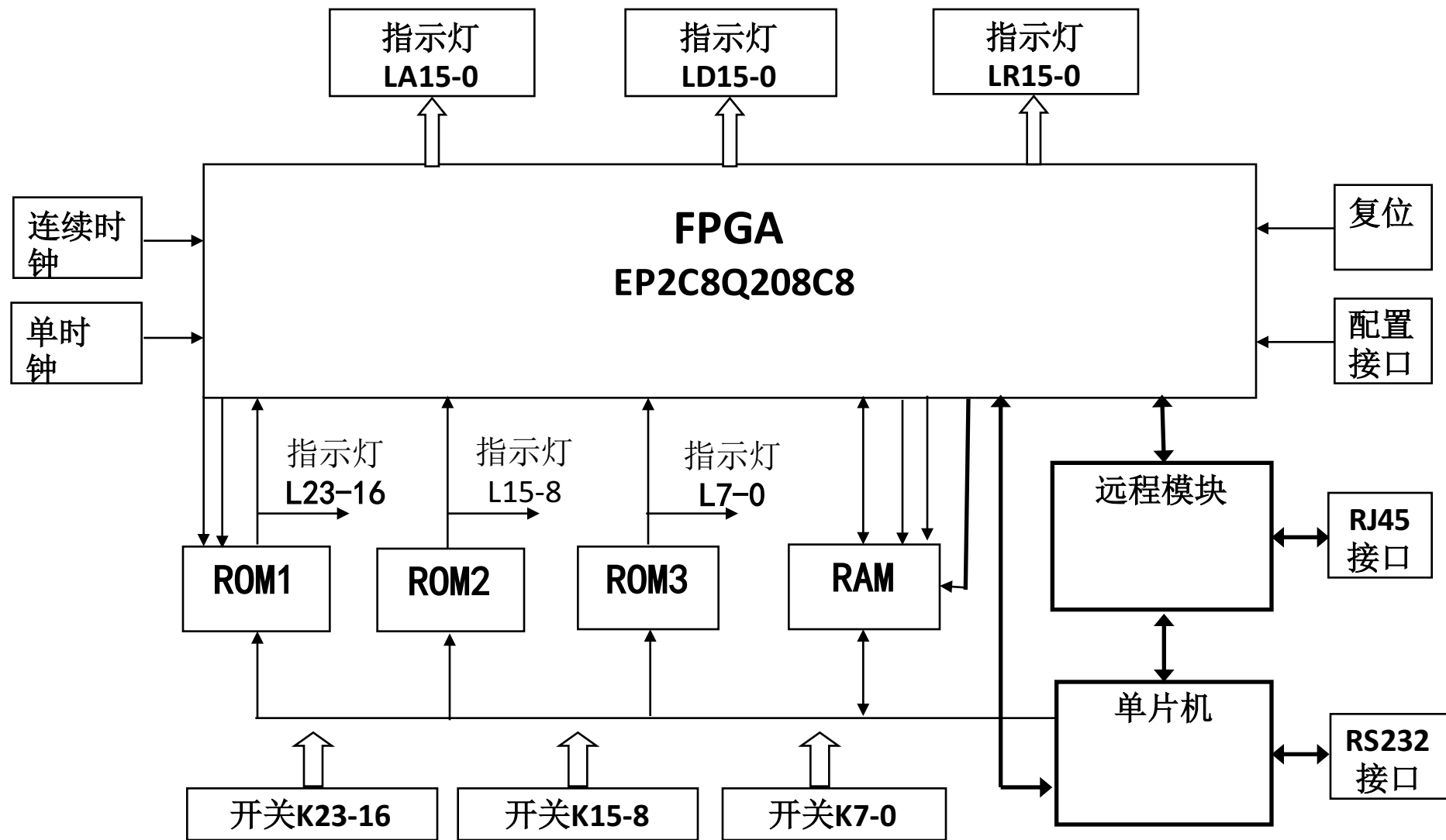
一、JYS实验箱

- 1. FPGA电路：使用超大规模集成电路FPGA芯片EP2C8Q208C8,作为用户完成相关实验的硬件资源。
- 2. 时钟：实验平台上分别设有一个多频率连续时钟发生器和一个单脉冲信号发生器。
 - 连续时钟发生器可提供2Hz、4Hz、8Hz、16Hz、32Hz、64Hz、128Hz、256Hz、512Hz、1024Hz和2048Hz，占空比为1:1的脉冲，其频率可通过改变短路块位置选择；
 - 单脉冲信号发生器由单脉冲按键产生的宽度为20ms的无抖动负脉冲，常用于单脉冲输入以及存储器的读写信号。
- 3. RAM存储器：采用静态的2K×8位的RAM，用于存放指令和数据。
- 4. ROM存储器：用于存放系统的微程序，微指令24bit长

JYS实验箱



- 5. 发光二极管指示灯：共4组（LR15 ~ LR0、LD15 ~ LD0、LA15 ~ LA2、L23 ~ L0）70只发光二极管。其中LR15 ~ LR0、LD15 ~ LD0、LA15 ~ LA2共46只可由用户随意使用（LA1、LA0由系统占用，用户不能使用）；L23 ~ L0用于显示微指令寄存器内容，即当前执行的微指令。
- 6. 开关信号输入：共24只拨动开关（K23 ~ K0），用于提供高低电平输入。
- 7. 复位信号输入：包括单片机复位和CPU复位二个按键。前者用于单片机的复位，后者用于FPGA的复位。
- 8. 接口插座：包括RS232串口插座、FPGA配置插座和RJ45网络接口插座三个。
 - RS232串口插座用于本实验平台和PC机之间的通信；
 - FPGA配置插座用于本地实验和远程实验时对FPGA进行配置；
 - RJ45网络接口插座用于远程实验时和INTERNET网络的连接。



二、实验硬件平台的连接

- 系统共提供了二条独立的10线并口连接电缆DL1（FPGA配置电缆）、10线串口连接电缆DL2（PC机通信电缆）和一条固定于硬件实验平台左侧电缆盒内的10线连接电缆DL3（FPGA配置电缆）。
- 本地实验时，将DL1连接于PC机并口和实验硬件平台的FPGA配置插座上、DL2连接于PC机串口和实验平台的RS232串口插座上。
- 远程实验时，将DL3连接于实验平台的FPGA配置插座上，另外通过实验平台的RJ45插座将实验平台和网络连接。

三、系统硬件平台资源和FPGA引脚连接表

- 1. 开关K23 ~ K0与FPGA芯片的引脚连接

开关号	K23	K22	K21	K20	K19	K18	K17	K16	K15	K14	K13	K12
引脚号	107	130	129	208	28	27	24	23	76	75	74	72
开关号	K11	K10	K9	K8	K7	K6	K5	K4	K3	K2	K1	K0
引脚号	70	69	68	67	88	87	86	84	82	81	80	77

- 2. RAM地址线与FPGA芯片的引脚连接

RAM地址线	A' 7	A' 6	A' 5	A' 4	A' 3	A' 2	A' 1	A' 0
引脚号	179	176	175	173	171	170	169	168

- 3. 发光二极管指示灯与FPGA芯片的引脚连接

发光管	LA15	LA14	LA13	LA12	LA11	LA10	LA9	LA8	LA7	LA6	LA5	LA4	LA3	LA2	LA1	LA0
引脚号	33	31	30	15	14	13	12	11	10	8	6	5	4	3	系统占用	
发光管	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
引脚号	141	139	138	137	135	134	133	128	44	43	41	40	39	37	35	34
发光管	LR15	LR14	LR13	LR12	LR11	LR10	LR9	LR8	LR7	LR6	LR5	LR4	LR3	LR2	LR1	LR0
引脚号	165	164	163	162	161	160	152	151	150	149	147	146	145	144	143	142

- 4. RAM数据线（双向）与FPGA芯片的引脚连接

RAM数据线	D' 7	D' 6	D' 5	D' 4	D' 3	D' 2	D' 1	D' 0
引脚号	201	200	199	198	197	195	193	192

- 5. ROM地址线与FPGA芯片的引脚连接

ROM地址线	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
引脚号	191	189	188	187	185	182	181	180

- 6. 微指令数据输入:

uIR23	uIR22	uIR21	uIR20	uIR19	uIR18	uIR17	uIR16	uIR15	uIR14	uIR13	uIR12
127	118	117	116	115	114	113	112	110	108	106	105
uIR11	uIR10	uIR9	uIR8	uIR7	uIR6	uIR5	uIR4	uIR3	uIR2	uIR1	uIR0
104	103	102	101	99	97	96	95	94	92	90	89

- 7. 其他信号与FPGA芯片的引脚连接

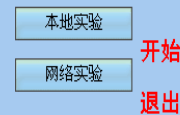
信号名	$\overline{\mu RD}$	CP μ IR	\overline{rd}	\overline{wr}	连续脉冲	单脉冲	CPU复位
引脚号	60	61	63	64	131	132	206

- $\overline{\mu RD}$ 为ROM读信号、CP μ IR为微指令寄存器时钟信号
- \overline{rd} 为RAM读信号， \overline{wr} 为RAM写信号
- 连续脉冲可在2Hz、4Hz、8Hz、16Hz、32Hz、64Hz、128Hz、256Hz、512Hz、1024Hz和2048Hz中选择，占空比为1:1
- 单脉冲为宽度20ms的负脉冲

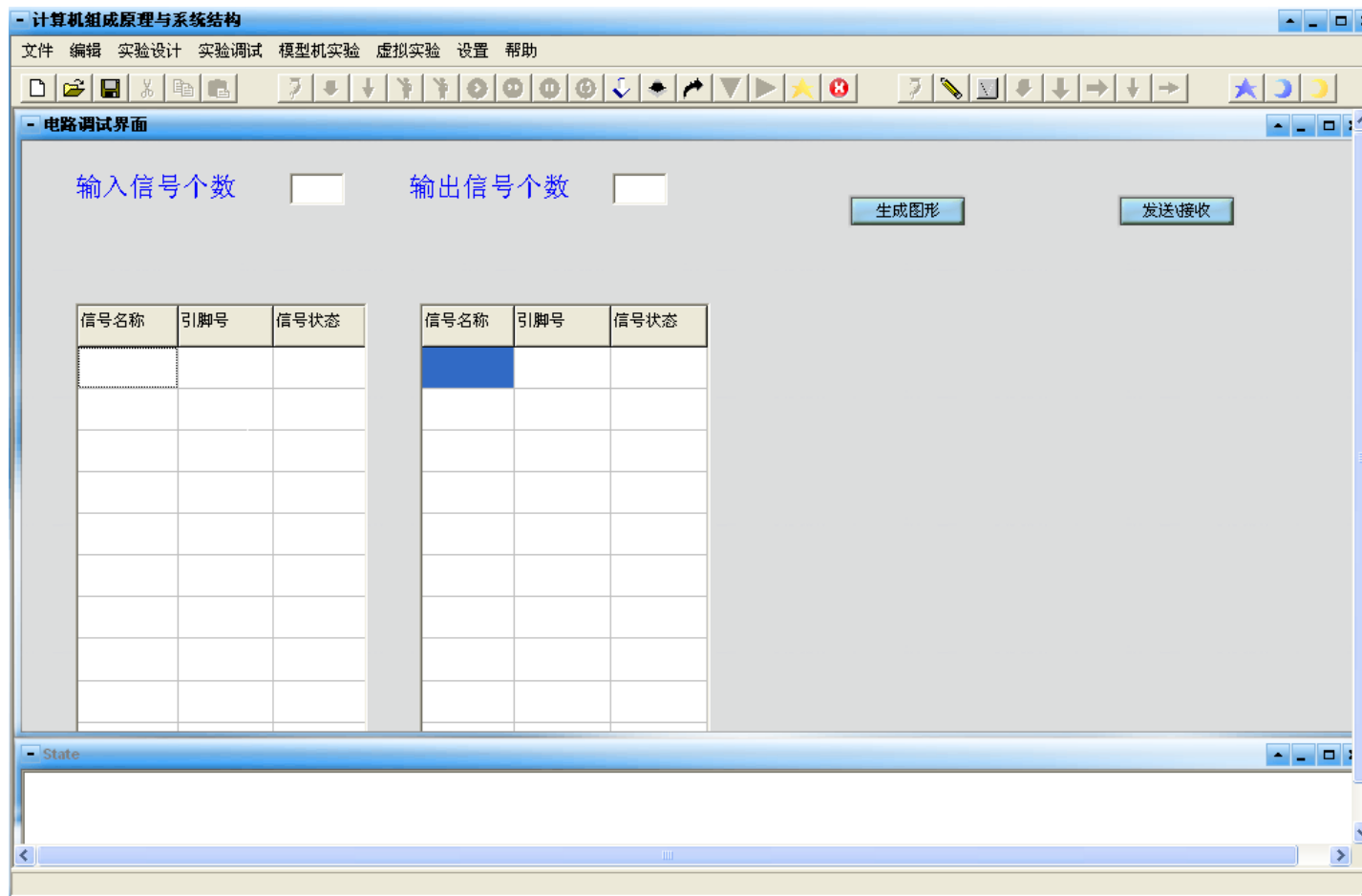
四、实验软件的安装

- 双击“计算机组成原理与系统结构.exe”开始实验软件的安装，安装过程中只要在出现“NEXT”选项时点击即可自动完成安装。
- 实验时，该平台与PC机硬件连接好。
- 1) 双击桌面上的“计算机组成原理与系统结构”快捷方式图标，单击右下角的“开始”按钮即可进入实验软件平台，如图所示。

计算机组成原理与系统结构实验系统



- 2) 在开始界面，继续单击“本地实验”，进入图示的本地实验主界面。

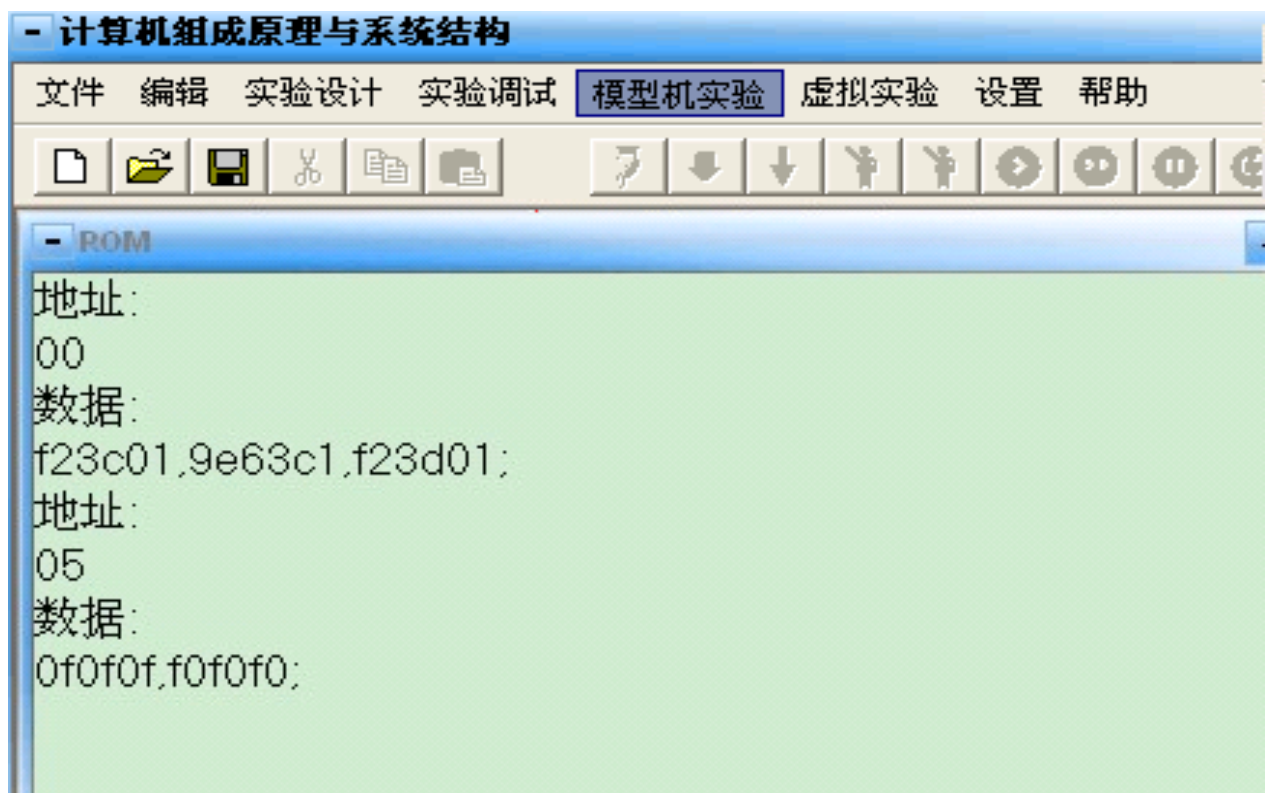


- 菜单项主要功能如下：
- **实验设计：** 点击该菜单项将进入Quartus II应用程序，完成数字逻辑电路、计算机组成原理、计算机系统结构和现代数字系统设计课程的实验设计。
- **实验调试：** 该菜单项包括“**电路调试、ROM写入、RAM写入**”三个子菜单，其中**电路调试**是检查和调试下载到实验硬件平台的实验设计结果是否正确；**ROM写入**和**RAM写入**是对实验硬件平台上的ROM存储器和RAM存储器根据需要进行数据写入。
 - **注意：**“电路调试”功能一般仅用于远程实验，本地实验可以直接在实验硬件平台上进行电路的检查和调试。
- **模型机实验：** 完成计算机工作过程演示、计算机组成原理和计算机系统结构模型机的设计。
- **虚拟实验：** 预留功能扩展菜单，暂无法使用。
- **文件、编辑、设置和帮助菜单：** 与一般应用软件的功能相同，不再详述。

- 1. 实验调试
- “实验调试”包括“电路调试、ROM写入、RAM写入”三个子菜单，使用方法如下：
 - (1) 电路调试：使用于“网络实验”，不再讲述
 - (2) ROM写入、RAM写入
 - 地址及数据输入：点击菜单栏中的“ROM写入 地址”子菜单，将出现可以由电路调试界面切换到写ROM及RAM的界面，再继续点菜单栏的ROM、RAM的地址和数据以完成在相应输入框中输入起始地址及以此地址开始的一组数据，如图2.11和图2.12所示。








ROM地址写入界面



ROM数据写入界面

- 数据写入ROM、RAM:

- 数据输入结束后，在快捷键中选择   按钮，打开COM口（最右侧的红色按钮为关闭串口），打开串口成功后再分别点击快捷键中的 、 按钮，即可将数据下载到ROM、RAM中；快捷键  为清空键，可将所有输入框和错误提示框信息清除。

- ROM和RAM地址及数据写入规则：输入规则请查看帮助

- ROM、RAM地址及RAM数据均以两位数据格式输入，如03,c2,范围00-ff，16进制数；
- ROM数据以六位数据格式输入，如f23c01,范围000000-ffffff，代表伪指令，24位；
- ROM输入框每行输入8组数据回车换行，RAM输入框每行输入18组数据回车换行；
- 每组数据之间以,隔开，每行数据最后以;结束；

• 部分错误提示:

- 地址与数据对应有误: 查看是否是一个起始地址对应于一组数据;
- 地址输入有误: 查看地址输入是否正确;
- 缺少分号: 查看数据输入最后是否以 : 结束;
- 数据输入有误: 查看每个数据的位数是否正确;
- 每行限输入8组 (18组) 数据: 查看是否有某行数据输入超过规定个数。
- 地址冲突: 查看后一组的起始地址是否已在前一组输入数据时对该地址已经赋值。)

• 快捷键功能介绍

- 快捷键共分为四组，图示为右边三组的示意图（最左边一组与常用软件快捷键的功能相同，不再详述），图中第一组为**本地实验快捷键**，第二组为**远程实验快捷键**，第三组为**其它功能快捷键**。



- 各快捷键功能如下：
- 第一组，共16个快捷键，自左至右的功能分别为：
- 编译、下载指令、下载微指令、自动演示（连续）、自动演示（单步）、单步运行（组成原理）、连续运行（组成原理）、暂停、复位、写ROM、写RAM、清空、下载、单步运行（系统结构）、打开串口、关闭串口；。

- 第二组，共8个快捷键，自左至右的功能分别为：
编译、选择配置文件、配置FPGA、下载机器码、 下载微指令、单步运行（组成原理）、下载数据、单步运行（系统结构）；
- 第三组，共3个快捷键，自左至右的功能分别为：
硬件实验平台上的FPGA复位、RAM和ROM清零